

Japanese Patent Laid-open Publication No. HEI 11-186443 A

Publication date : July 9, 1999

Applicant : Matsushita Electric Industrial Co., Ltd.

Title : MULTILAYER WIRING SUBSTRATE



5

(57) [ABSTRACT]

[OBJECT]

The present invention intends to provide a multilayer substrate capable of preventing the crack of solder connecting a semiconductor component having matrix electrodes.

[CONSTITUTION]

The present invention provides a multilayer wiring substrate wherein connection pads 5, 6, and 7 respectively formed to correspond to a plurality of electrodes 3 of a semiconductor component 2 are formed such that the height of solder between the electrode 3 and the connection pads 5, 6, and 7 is increased from the connection pad 5 connected to the electrode 3 arranged in a center of an electrode forming face 2a toward the connection pad 7 connected to the electrode 3 arranged in outer peripheral portion of the electrode forming face 2a.

[0010]

The invention according to claim 1 of the present invention is a multilayer wiring substrate having a stacked layer structure and a semiconductor component on which a plurality of electrodes are formed in matrix on an electrode forming face is mounted with solder, wherein connection pads

respectively formed to correspond to a plurality of electrodes of the semiconductor component are formed such that the height of solder between the electrode and the connection pads is increased from the connection pad connected to the electrode arranged in a center of an electrode forming face toward the peripheral portion of the electrode forming face. With this structure, the solder between the electrode and the connection pad at which the difference between the multilayer wiring substrate and the semiconductor component in thermal deformation amount becomes larger has higher solder height to increase a deformation margin larger, and thus the crack in solder due to the difference of the semiconductor component having the electrodes formed in matrix and connected to the substrate with solder and the substrate in the thermal expansion coefficient can be prevented.

[0019]

For a semiconductor component 2 soldered on such a multilayer wiring substrate 1, inner peripheral solder bumps 20 are formed on electrodes 3 corresponding to inner periphery connection pads 5, outer peripheral solder bumps 21 are formed on electrodes 3 corresponding to outer periphery connection pads 6, and the outermost peripheral solder bumps 22 are formed on electrodes 3 corresponding to the outermost periphery connection pads 7. The nearer the outer periphery the inner peripheral solder bumps 20, 21, and 22 approach, the larger the amount of the solder used therefor is increased.

[0020]

Accordingly, when the semiconductor component 2 is soldered on the multilayer wiring substrate 1 shown in FIG. 1, more specifically, when the inner peripheral solder bumps 20 are soldered on the inner periphery connection pads 5, the outer peripheral solder bumps 21 are soldered on the outer periphery connection pads 6, and the outermost peripheral solder bumps 22 are soldered on the outermost periphery connection pads 7, the height of the solder is increased in order of inner peripheral solder 17, outer peripheral solder 18, and the outermost peripheral solder 19. The heights of the solder 17, 18, and 19 arranged between an electrode 3 and the connection pads 5, 6, and 7 are increased in order from the inner periphery connection pads 5 as a connection pad connected to an electrode 3 arranged at a center of the electrode forming face 2a to the outer periphery connection pads 6 connected to an electrode arranged in an outer peripheral portion of the electrode forming face 2a, and the outermost peripheral connection pads 7.

[0021]

To be more specific, such a multilayer wiring substrate 1 comprises a surface wiring layer 11, a first inner wiring layer 13 and a second inner wiring layer 15 which are formed of a copper foil or the like and have a thickness of 18  $\mu$  m, an surface insulating layer 12, a first inner insulating layer 14, and a second inner insulating layer 16 which are formed of glass cloth impregnated with epoxy resin and have

a thickness of 100  $\mu$ m, the inner periphery connection pad 5, the outer periphery connection pad 6, and the outermost periphery connection pad 7 having a diameter of 0.3 mm and a pitch of 0.8 mm. As an example of the semiconductor component 5 2, the inner peripheral solder bump 20, the outer peripheral solder bump 21, and the outermost peripheral solder bump 22 which are formed of eutectic solder have diameters of 0.35 mm, 0.38 mm, and 0.41 mm, respectively.

②

# 類似技術

①

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186443

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

F

21/60

3 1 1

21/60

3 1 1 Q

H 0 5 K 1/18

H 0 5 K 1/18

R

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号

特願平9-354415

(22) 出願日

平成9年(1997)12月24日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 上田 貴史

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 弁理士 滝本 智之 (外1名)

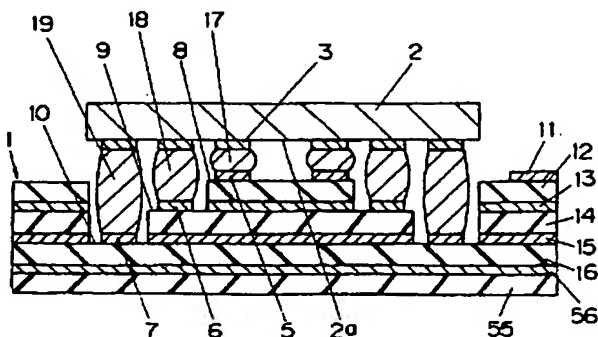
(54) 【発明の名称】 多層配線基板

(57) 【要約】

【課題】 マトリックス状電極を有する半導体部品との半田接続において半田亀裂の発生を防止できる多層配線基板を提供することを目的とする。

【解決手段】 半導体部品2の複数の電極3に対応してそれぞれ形成され接続パッド5, 6, 7が、電極形成面2aの中央に位置する電極3と接続される接続パッド5から電極形成面2aの外方に位置する電極3と接続される接続パッド7に向かって、電極3と接続パッド5, 6, 7との間に位置する半田の半田高さが次第に高くなるように段差をもって形成された多層配線基板とする。

- 1: 多層配線基盤
- 2: 半導体部品
- 2a: 電極形成面
- 3: 電極
- 5: 内周接続パッド(接続パッド)
- 6: 外周接続パッド(接続パッド)
- 7: 最外周接続パッド(接続パッド)
- 8: 第1台座(絶縁層)
- 9: 第2台座(絶縁層)
- 10: 第3台座(絶縁層)
- 17: 半田
- 18: 半田
- 19: 半田



## 【特許請求の範囲】

【請求項1】積層構造を有し、複数の電極が電極形成面にマトリックス状に形成された半導体部品が半田を介して実装される多層配線基板であって、

複数の前記電極に対応してそれぞれ形成され接続パッドが、

前記電極形成面の中央に位置する前記電極と接続される前記接続パッドから前記電極形成面の外方に位置する前記電極と接続される前記接続パッドに向かって、前記電極と前記接続パッドとの間に位置する半田の半田高さが次第に高くなるように段差をもって形成されていることを特徴とする多層配線基板。

【請求項2】前記接続パッドは、さらに、前記電極形成面の対向する辺の中心点間を結ぶ線上に位置する前記電極と接続される前記接続パッドから前記電極形成面の対角線上に位置する前記電極と接続される前記接続パッドに向かって、前記電極と前記接続パッドとの間に位置する半田の半田高さが次第に高くなるように段差をもって形成されていることを特徴とする請求項1記載の多層配線基板。

【請求項3】前記電極形成面の最外周に位置する前記電極と接続される前記接続パッドの形成された絶縁層は、当該接続パッドを包囲するように形成された区画溝によって周囲の前記絶縁層と区画されていることを特徴とする請求項1または2記載の多層配線基板。

【請求項4】同一高さにある前記接続パッドが形成された前記絶縁層は、相互に異なる高さにある前記接続パッドが形成された前記絶縁層と、前記電極形成面の最外周に位置する前記電極と接続される前記接続パッドの形成された前記絶縁層の直下に位置する配線層まで延びて形成された分離溝によって相互に分離されていることを特徴とする請求項1または2記載の多層配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体パッケージや半導体素子などの半導体部品を実装する多層配線基板に関するものである。

## 【0002】

【従来の技術】半導体素子が封止体で封止されてなる半導体パッケージやヘアチップとしての半導体素子そのものなどの半導体部品が実装される多層配線基板は、たとえば図13および図14に示すような構造を有している。ここで、図13は従来の多層配線基板を半導体部品とともに示す斜視図、図14は半導体部品が実装された図13の多層配線基板を示す断面図である。

【0003】図13に示すように、マトリックス状の電極3を有する半導体部品2を半田付けする従来の多層配線基板53では、半導体部品2の電極2に対応してマトリックス状に配置された接続パッド50が表層絶縁層12上の表層配線層11に設けられる。そして、この接続

パッド50に半田54を塗布して半導体部品2を半田付けする。したがって、多層配線基板53の接続パッド50と半導体部品2の電極3を電気的に接続する半田54は、マトリックスのどの位置にあっても図14のように半田高さが等しい状態となる。

【0004】なお、半導体部品2を多層配線基板53に半田実装する場合には、多層配線基板53の接続パッド50の形状や共晶はんだ（Sn63%-Pb37%）を用いる半田の塗布量を変えることで、たとえば、接続パッド50の径が0.4mm程度のとき、半田付け後の半田高さを一律に70μm程度の幅で高さを変更することができる。

## 【0005】

【発明が解決しようとする課題】しかしながら、以上説明した従来の多層配線基板では、半導体部品を半田付け後の温度変化環境下において、半導体部品と多層配線基板との熱膨張係数の違いにより半田に亀裂が発生する。特に、マトリックス状に存在する半田の外周側ほど変形量が大きくなるので、早期に半田の亀裂が発生して、このような半導体部品を半田付けする際の信頼性確保において大きな問題となる。

【0006】そして、このような半田亀裂の問題は、接続パッドの形状や半田の塗布量を変更しても解決されない。

【0007】そこで、本発明は、マトリックス状に電極が形成されて半田接続された半導体部品との熱膨張係数の違いに伴う半田亀裂の発生を防止することのできる多層配線基板を提供することを目的とする。

## 【0008】

【課題を解決するための手段】この課題を解決するために、本発明の多層配線基板は、複数の電極に対応してそれぞれ形成され接続パッドが、電極形成面の中央に位置する電極と接続される接続パッドから電極形成面の外方に位置する電極と接続される接続パッドに向かって、電極と接続パッドとの間に位置する半田の半田高さが次第に高くなるように段差をもって形成されていることを特徴とするものである。

【0009】これにより、マトリックス状に電極が形成されて半田接続された半導体部品と多層配線基板との熱膨張係数の違いに伴う半田亀裂の発生を未然に防止することが可能になる。

## 【0010】

【発明の実施の形態】本発明の請求項1に記載の発明は、積層構造を有し、複数の電極が電極形成面にマトリックス状に形成された半導体部品が半田を介して実装される多層配線基板であって、複数の電極に対応してそれぞれ形成され接続パッドが、電極形成面の中央に位置する電極と接続される接続パッドから電極形成面の外方に位置する電極と接続される接続パッドに向かって、電極と接続パッドとの間に位置する半田の半田高さが次第に

高くなるように段差をもって形成されている多層配線基板であり、多層配線基板と半導体部品との熱変形量の差が大きくなる電極と接続パッドとの間の半田ほど半田高さが高くなって変形マージンが大きくなっているため、マトリックス状に電極が形成されて半田接続された半導体部品との熱膨張係数の違いに伴う半田亀裂の発生を未然に防止することが可能になるという作用を有する。

【0011】本発明の請求項2に記載の発明は、請求項1記載の発明において、接続パッドは、さらに、電極形成面の対向する辺の中心点間を結ぶ線上に位置する電極と接続される接続パッドから電極形成面の対角線上に位置する電極と接続される接続パッドに向かって、電極と接続パッドとの間に位置する半田の半田高さが次第に高くなるように段差をもって形成されている多層配線基板であり、接続パッドの高さが細かく調整されるので、半田高さの最適化を行うことができ、半田付け信頼性を向上させることができるという作用を有する。

【0012】本発明の請求項3に記載の発明は、請求項1または2記載の発明において、電極形成面の最外周に位置する電極と接続される接続パッドの形成された絶縁層は、当該接続パッドを包囲するように形成された区画溝によって周囲の絶縁層と区画されている多層配線基板であり、周囲の絶縁層の熱変形が区画溝に吸収されて半導体部品の搭載された絶縁層が熱変形の影響を受けなくなるので、多層配線基板と半導体部品との熱変形量の差が小さくなって半田の変形量が小さくなり、半田付け信頼性を向上させることができるという作用を有する。

【0013】本発明の請求項4に記載の発明は、請求項1または2記載の発明において、同一高さにある接続パッドが形成された絶縁層は、相互に異なる高さにある接続パッドが形成された絶縁層と、電極形成面の最外周に位置する電極と接続される接続パッドの形成された絶縁層の直下に位置する配線層まで延びて形成された分離溝によって相互に分離されている多層配線基板であり、熱変形した絶縁層の影響が他の絶縁層にまでは及ばないので、多層配線基板と半導体部品との熱変形量の差がより小さくなって半田の変形量もより小さくなり、半田付け信頼性を一層向上させることができるという作用を有する。

【0014】以下、本発明の実施の形態について、図1から図12を用いて説明する。なお、これらの図面において同一の部材には同一の符号を付しており、また、重複した説明は省略されている。

【0015】（実施の形態1）図1は本発明の実施の形態1による多層配線基板を半導体部品とともに示す斜視図、図2は半導体部品が実装された図1の多層配線基板を示す断面図、図3は図1の多層配線基板に実装される半導体部品を示す斜視図、図4は他の半導体部品が実装された図1の多層配線基板を示す断面図である。

【0016】図1に示すように、本実施の形態の多層配

線基板1は、複数の電極3が電極形成面2aにマトリックス状に形成された半導体部品2が、電極3に設けられた半田バンプ4を介して実装されるものであり、このような半導体部品2の電極3にそれぞれ対応した接続パッド5、6、7がマトリックス状に形成されている。そして、これらのマトリックス状の接続パッド5、6、7は、電極形成面2aの中央に位置する電極3と接続される内周接続パッド5、この内周接続パッドを包囲するようにして形成された外周接続パッド6、さらにこの外周接続パッドを包囲するようにして形成された最外周接続パッド7からなり、ピラミッド状に積層形成された最上層の第1台座8、この第1台座の下層の第2台座9、最下層の第3台座10の各階段の上にそれぞれ段差をもって形成されている。

【0017】ここで、図示するように、本実施の形態にあっては、電極形成面2aの中央に位置する電極3に対応して第1台座8に形成された内周接続パッド5は8つとなっている。このように、電極形成面2aの中央に位置する電極3に対応した内周接続パッド5は必ずしも1つとは限らず、複数個の場合もある。また、以降に説明する実施の形態における場合を含め、接続パッドの段差数は実施の形態に示す数に限定されるものではなく、自由に設定することができる。

【0018】図2に詳しく示すように、本実施の形態の多層配線基板1は、基板絶縁層55、基板配線層56、第2内層絶縁層16、第2内層配線層15、第1内層絶縁層14、第1内層配線層13、表層絶縁層12、表層配線層11が順次積層された構造を有している。内周接続パッド5は表層配線層11と同一平面上にあり、第1台座8は表層絶縁層12にて形成されている。また、外周接続パッド6は第1内層配線層13と同一平面上にあり、第2台座9は第1内層絶縁層14にて形成されている。最外周接続パッド7は第2内層配線層15と同一平面上にあり、第3台座10は第2内層絶縁層16にて形成されている。そして、第2台座9の外周上には表層配線層11および表層絶縁層12が形成されず、第3台座10の外周上には表層配線層11、表層絶縁層12、第1内層配線層13および第1内層絶縁層14が形成されていないことから、図1に示すようなピラミッド状の台座が第1、第2および第3台座8、9、10により形成される。

【0019】このような多層配線基板1に半田付けされる半導体部品2は、内周接続パッド5に対応した電極3に内周半田バンプ20が、外周接続パッド6に対応した電極3に外周半田バンプ21が、最外周接続パッド7に対応した電極3に最外周半田バンプ22がそれぞれ形成されており、これらの半田バンプ20、21、22は外周に行く程半田量が多くなっている。

【0020】したがって、半導体部品2を図1の多層配線基板1に半田付けした場合、つまり、内周半田バンプ

20を内周接続パッド5に、外周半田バンプ21を外周接続パッド6に、最外周半田バンプ22を最外周接続パッド7に半田付けした場合には、図2に示すように、内周半田17、外周半田18、最外周半田19の順で半田高さが高くなる。つまり、電極形成面2aの中央に位置する電極3と接続される接続パッドである内周接続パッド5から電極形成面2aの外方に位置する電極と接続される外周接続パッド6、最外周接続パッド7に向かって、電極3と接続パッド5、6、7との間に位置する半田17、18、19の半田高さが次第に高くなる。

【0021】このような多層配線基板1の具体的な一例としては、たとえば銅箔からなる表層配線層11、第1内層配線層13および第2内層配線層15の厚さが18μm、たとえばガラスクロスにエポキシ樹脂を含浸させたものからなる表層絶縁層12、第1内層絶縁層14および第2内層絶縁層16の厚さが100μm、内周接続パッド5、外周接続パッド6および最外周接続パッド7の径が0.3mmでピッチが0.8mmである。また、半導体部品2の具体的な一例としては、共晶はんだ(Sn63%-Pb37%)で作製された内周半田バンプ20、外周半田バンプ21および最外周半田バンプ22の直径がそれぞれ0.35mm、0.38mm、0.41mmである。

【0022】なお、電極3に形成される半田バンプ4の半田量を内周半田バンプ20、外周半田バンプ21、最外周半田バンプ22とも同程度とし、図4に示すように、半田高さが順次高くなるために最外周半田19になるほど径が細くなった内周半田17、外周半田18、最外周半田19を形成するようにしてもよい。

【0023】以上説明した本実施の形態の多層配線基板1によれば、多層配線基板1と半導体部品2との熱変形量の差が大きくなる電極3と接続パッド5、6、7との間の半田17、18、19ほど半田高さが高くなってその変形マージンが大きくなっている。したがって、マトリックス状に電極3が形成されて半田接続された半導体部品2と多層配線基板1との熱膨張係数の違いに伴う半田亀裂の発生を未然に防止することが可能になる。これにより、より外周に位置する半田ほど早く亀裂が発生して不良になるという問題の解決を図ることができる。

【0024】(実施の形態2) 図5は本発明の実施の形態2による多層配線基板を示す斜視図、図6は半導体部品が実装された図5の多層配線基板を示す断面図、図7は図5の多層配線基板の変形例を示す斜視図、図8は半導体部品が実装された図7の多層配線基板を示す断面図である。

【0025】本実施の形態の多層配線基板1は、半導体部品2の電極形成面2aの中央に位置する電極3と接続される接続パッド23から外方に位置する電極3と接続される接続パッド26、27、28に向かって半田の半田高さが次第に高くなるように段差をもって形成され、

さらに、電極形成面2aの対向する辺の中心点間を結ぶ線上に位置する電極3と接続される接続パッド24、26から電極形成面2aの対角線上に位置する電極3と接続される接続パッド25、28に向かって半田の半田高さが次第に高くなっている。

【0026】図5に示すように、半導体部品2(図6)の電極形成面2aの中央に位置する電極3と接続される内周接続パッド23が第1台座29に形成されている。また、外周接続パッドの内、電極形成面2aの対向する辺の中心点間を結ぶ線上に位置する電極3と接続される第1中央接続パッド24が第2台座30に、電極形成面2aの対角線上に位置する電極3と接続される第1コーナー接続パッド25が第3台座31にそれぞれ形成されている。さらに、最外周接続パッドの内、電極形成面2aの対向する辺の中心点間を結ぶ線上に位置する電極3と接続される第2中央接続パッド26が第3台座32に、その1つ対角線側にある内側接続パッド27が第4台座33に、そして電極形成面2aの対角線上に位置する電極3と接続される第2コーナー接続パッド28が第5台座34にそれぞれ形成されている。

【0027】このときの多層配線基板1は、図6に示すように、基板絶縁層55、基板配線層56、第4内層絶縁層38、第4内層配線層37、第3内層絶縁層36、第3内層配線層35、第2内層絶縁層16、第2内層配線層15、第1内層絶縁層14、第1内層配線層13、表層絶縁層12、表層配線層11が順次積層された構造を有している。

【0028】そして、内周接続パッド23は表層配線層11と同一平面上にあり、第1台座29は表層絶縁層12にて形成されている。また、第1中央接続パッド24は第1内層配線層13と同一平面上にあり、第2台座30は第1内層絶縁層14にて形成されている。第1コーナー接続パッド25は第2内層配線層15と同一平面上にあり、第3台座31は第2内層絶縁層16にて形成されている。さらに、第2中央接続パッド26は第2内層配線層15と同一平面上にあり、第4台座32は第2内層絶縁層16にて形成されている。内側接続パッド27は第3内層配線層35と同一平面上にあり、第5台座33は第3内層絶縁層36にて形成されている。第2コーナー接続パッド28は第4内層配線層37と同一平面上にあり、第6台座34は第4内層絶縁層38にて形成されている。そして、実施の形態1の場合と同様に、第2、第3、第4および第5台座30、31、32、33、34の外周上には配線層および絶縁層が形成されていないことから、図5に示すような台座が形成される。

【0029】この多層配線基板1に半導体部品2を半田付けすると、内周接続パッド23上に内周半田39、第1中央接続パッド24上に第1中央半田40、第1コーナー接続パッド25上に第1コーナー半田41、第2中央接続パッド26上に第2中央半田42、内側接続パ



ド27上に内側半田43、第2コーナー接続パッド28上に第2コーナー半田44がそれぞれ形成される。そして、内周接続パッド23、第1中央接続パッド24、第1コーナー接続パッド25、第2中央接続パッド26、内側接続パッド27、第2コーナー接続パッド28の順で多層配線基板1の深い内層に位置するため、内周半田39、第1中央半田40、第1コーナー半田41、第2中央半田42、内側半田43、第2コーナー半田44の順で半田高さが高くなる。ただし、第1コーナー接続パッド25がある第3台座31と第2中央接続パッド26のある第4台座32は同じ深さの内層にあるため、第1コーナー半田41と第2中央半田42は同じ高さになる。

【0030】以上の説明での多層配線基板では、接続パッド23～28が1つ1つ独立した台座29～34上に形成されている。これに対し、図7では、同一平面上の接続パッド23～28が同一台座29～34上に形成された構造になっている。これにより、台座29～34の形状を単純化することができる。

【0031】以上説明したように、電極形成面2aの対向する辺の中心点間を結ぶ線上に位置する電極3と接続される接続パッド24、26から電極形成面2aの対角線上に位置する電極3と接続される接続パッド25、28に向かって半田の半田高さが次第に高くなるような多層配線基板1を用いることで、実施の形態1において説明した多層配線基板1よりさらに接続パッドの高さが細かく調整されるので、半田高さの最適化を行うことが可能となり、より信頼性の高い半田付けを行うことができる。

【0032】なお、本明細書において、電極形成面2aの対向する辺の中心点間を結ぶ線上に位置する電極3と接続される接続パッド24、26、ならびに電極形成面2aの対角線上に位置する電極3と接続される接続パッド25、28とは、当該線上に位置している接続パッド、またはレイアウトの都合上から当該線上に存在しないときには、当該線の近傍に位置している接続パッドを指す。

【0033】（実施の形態3）図9は本発明の実施の形態3による多層配線基板を示す斜視図、図10は半導体部品が実装された図9の多層配線基板を示す断面図である。

【0034】図9に示すように、本実施の形態の多層配線基板1では、半導体部品（図10）2の電極形成面2aの最外周に位置する電極3と接続される接続パッドである最外周接続パッド7の形成された絶縁層である第3台座10は、当該接続パッド7を包囲するように形成された区画溝45によって周囲に位置する絶縁層である第2内層絶縁層16と区画されている。

【0035】図10に示すように、第1台座8および第2台座9は同じ層深さの表層配線層11および表層絶縁

層12、第1内層配線層13および第1内層絶縁層14から切り離された状態であり、これに加えて、最外周接続パッド7が設けられている第3台座10も区画溝45により第2内層絶縁層16から切り離されているので、第2内層絶縁層16の熱変形が区画溝45により吸収されて半導体部品2の搭載された絶縁層である第3台座10までもが熱変形の影響を受けなくなるので、多層配線基板1と半導体部品2との熱変形量の差が小さくなって半田の変形量が小さくなり、半田付け信頼性を一層向上させることができる。

【0036】なお、絶縁層12、14、16の厚さが100μmの多層配線基板1においては、区画溝45の幅は0.5～1.0mm程度が妥当である。

【0037】（実施の形態4）図11は本発明の実施の形態4である多層配線基板を示す斜視図、図12は半導体部品が実装された図11の多層配線基板を示す断面図である。

【0038】本実施の形態の多層配線基板1は、同一高さにある接続パッド5、6、7が形成された絶縁層である第1台座8、第2台座9、第3台座10は、相互に異なる高さにある接続パッド5、6、7が形成された絶縁層である第1台座8、第2台座9、第3台座10に対して、電極形成面2aの最外周に位置する電極3と接続される接続パッド7の形成された絶縁層である第3台座10の直下に位置する配線層つまり第3内部配線層まで延びて形成された分離溝47、48、49によって相互に分離されている。

【0039】つまり、図12に示すように、第1台座8、第2台座9、第3台座10を第3内部配線層35の深さまで延びて相互に分離する第1分離溝47、第2分離溝48がそれぞれ形成され、さらに、第3台座10の外周に第3内部配線層35の深さまで延びる第3分離溝49が形成された構造を有している。

【0040】これにより、熱変形した第1台座8、第2台座9、第3台座10が相互に影響を及ぼし合わないのので、多層配線基板1と半導体部品2との熱変形量の差がより小さくなって半田の変形量もより小さくなり、半田付け信頼性を一層向上させることができる。

【0041】なお、本実施の形態も同様に絶縁層12、14、16の厚さを100μmとした場合、第1および第2分離溝47、48の幅は0.1mm以上、第3分離溝49の幅は0.5～1.0mmが妥当である。

【0042】

【発明の効果】以上のように、本発明によれば、多層配線基板と半導体部品との熱変形量の差が大きくなる電極と接続パッドとの間の半田ほど半田高さが高くなって変形マージンが大きくなっているのので、マトリックス状に電極が形成されて半田接続された半導体部品との熱膨張係数の違いに伴う半田亀裂の発生を未然に防止することが可能になるという有効な効果が得られる。

【0043】また、接続パッドを、電極形成面の対向する辺の中心点間を結ぶ線上に位置する電極と接続される接続パッドから電極形成面の対角線上に位置する電極と接続される接続パッドに向かって、電極と接続パッドとの間に位置する半田の半田高さが次第に高くなるように段差をもって形成することにより、接続パッドの高さが細かく調整されるので、半田高さの最適化を行うことができ、半田付け信頼性を向上させることができるという有効な効果が得られる。

【0044】電極形成面の最外周に位置する電極と接続される接続パッドの形成された絶縁層を、当該接続パッドを包囲するように形成された区画溝によって周囲の絶縁層と区画することにより、周囲の絶縁層の熱変形が区画溝に吸収されて半導体部品の搭載された絶縁層が熱変形の影響を受けなくなるので、多層配線基板と半導体部品との熱変形量の差が小さくなって半田の変形量が小さくなり、半田付け信頼性を向上させることができるという有効な効果が得られる。

【0045】同一高さにある接続パッドが形成された絶縁層を、相互に異なる高さにある接続パッドが形成された絶縁層と、電極形成面の最外周に位置する電極と接続される接続パッドの形成された絶縁層の直下に位置する配線層まで延びて形成された分離溝で相互に分離することにより、熱変形した絶縁層の影響が他の絶縁層にまでは及ばないので、多層配線基板と半導体部品との熱変形量の差がより小さくなって半田の変形量もより小さくなり、半田付け信頼性を一層向上させることができるという有効な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1による多層配線基板を半導体部品とともに示す斜視図

【図2】半導体部品が実装された図1の多層配線基板を示す断面図

【図3】図1の多層配線基板に実装される半導体部品を示す斜視図

【図4】他の半導体部品が実装された図1の多層配線基板を示す断面図

【図5】本発明の実施の形態2による多層配線基板を示す斜視図

【図6】半導体部品が実装された図5の多層配線基板を

示す断面図

【図7】図5の多層配線基板の変形例を示す斜視図

【図8】半導体部品が実装された図7の多層配線基板を示す断面図

【図9】本発明の実施の形態3による多層配線基板を示す斜視図

【図10】半導体部品が実装された図9の多層配線基板を示す断面図

【図11】本発明の実施の形態4である多層配線基板を示す斜視図

【図12】半導体部品が実装された図11の多層配線基板を示す断面図

【図13】従来の多層配線基板を半導体部品とともに示す斜視図

【図14】半導体部品が実装された図13の多層配線基板を示す断面図

【符号の説明】

1 多層配線基板

2 半導体部品

20 2a 電極形成面

3 電極

5 内周接続パッド (接続パッド)

6 外周接続パッド (接続パッド)

7 最外周接続パッド (接続パッド)

8 第1台座 (絶縁層)

9 第2台座 (絶縁層)

10 第3台座 (絶縁層)

17 半田

18 半田

19 半田

23 内周接続パッド (接続パッド)

24 第1中央接続パッド (接続パッド)

25 第1コーナー接続パッド (接続パッド)

26 第2中央接続パッド (接続パッド)

27 内側接続パッド (接続パッド)

28 第2コーナー接続パッド (接続パッド)

45 区画溝

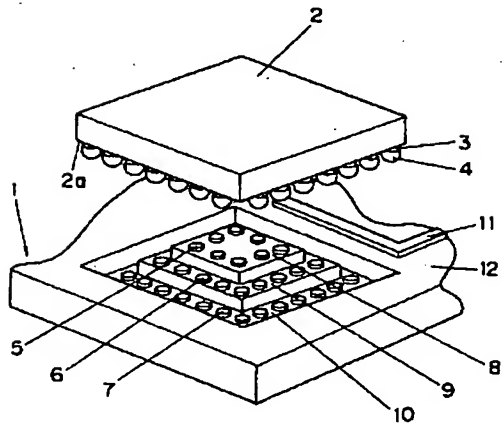
47 第1分離溝 (分離溝)

48 第2分離溝 (分離溝)

49 第3分離溝 (分離溝)

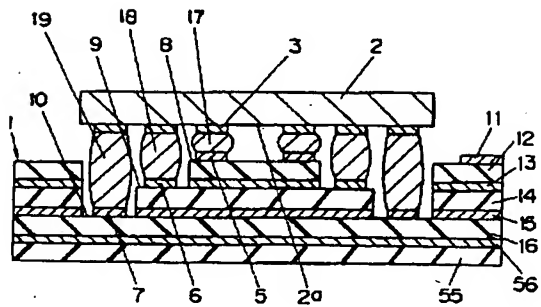
【図1】

- 1: 多層配線基盤
- 2: 半導体部品
- 2a: 電極形成面
- 3: 電極
- 5: 内周接続パッド(接続パッド)
- 6: 外周接続パッド(接続パッド)
- 7: 最外周接続パッド(接続パッド)
- 8: 第1台座(絶縁層)
- 9: 第2台座(絶縁層)
- 10: 第3台座(絶縁層)



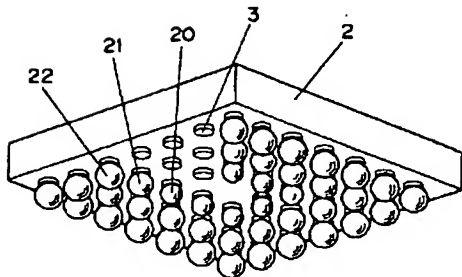
【図2】

- 1: 多層配線基盤
- 2: 半導体部品
- 2a: 電極形成面
- 3: 電極
- 5: 内周接続パッド(接続パッド)
- 6: 外周接続パッド(接続パッド)
- 7: 最外周接続パッド(接続パッド)
- 8: 第1台座(絶縁層)
- 9: 第2台座(絶縁層)
- 10: 第3台座(絶縁層)
- 17: 半田
- 18: 半田
- 19: 半田



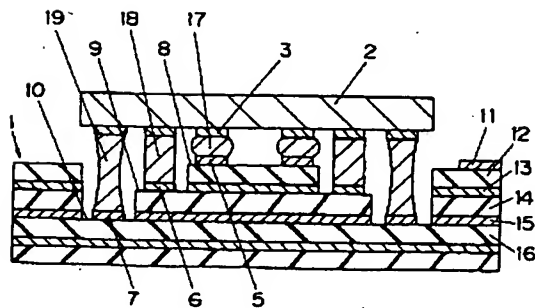
【図3】

- 2: 半導体部品
- 3: 電極



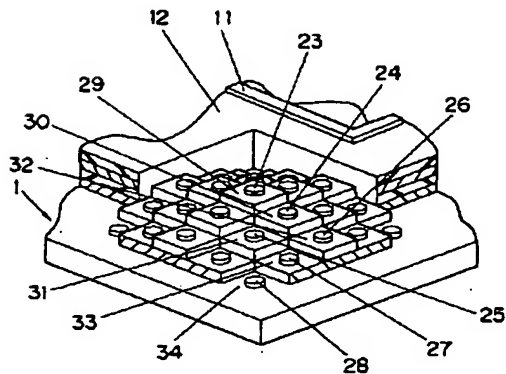
【図4】

- 1: 多層配線基盤
- 2: 半導体部品
- 3: 電極
- 5: 内周接続パッド(接続パッド)
- 6: 外周接続パッド(接続パッド)
- 7: 最外周接続パッド(接続パッド)
- 8: 第1台座(絶縁層)
- 9: 第2台座(絶縁層)
- 10: 第3台座(絶縁層)
- 17: 半田
- 18: 半田
- 19: 半田



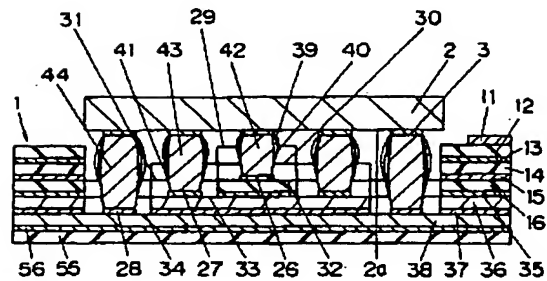
【図5】

- 1: 多層配線基盤  
 23: 内周接続パッド(接続パッド)  
 24: 第1中央接続パッド(接続パッド)  
 25: 第1コーナー接続パッド(接続パッド)  
 26: 第2中央接続パッド(接続パッド)  
 27: 内側接続パッド(接続パッド)  
 28: 第2コーナー接続パッド(接続パッド)



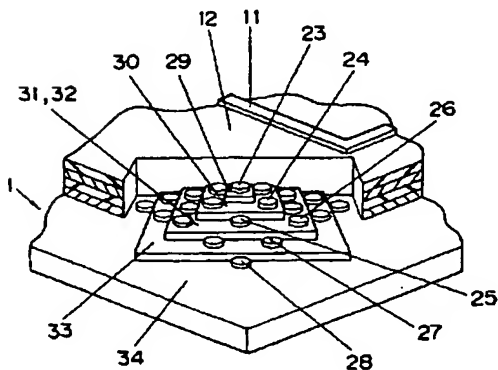
【図6】

- 1: 多層配線基盤  
 2: 半導体部品  
 2a: 電極形成面  
 3: 電極  
 28: 第2中央接続パッド(接続パッド)  
 27: 内側接続パッド(接続パッド)  
 28: 第2コーナー接続パッド(接続パッド)



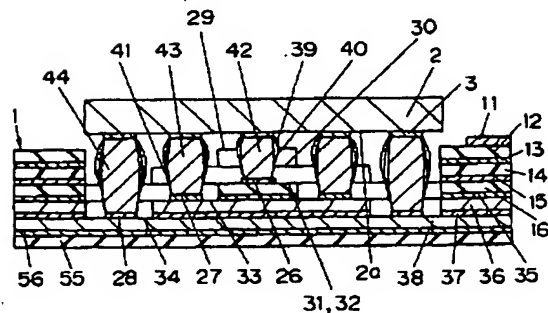
【図7】

- 1: 多層配線基盤  
 23: 内周接続パッド(接続パッド)  
 24: 第1中央接続パッド(接続パッド)  
 25: 第1コーナー接続パッド(接続パッド)  
 26: 第2中央接続パッド(接続パッド)  
 27: 内側接続パッド(接続パッド)  
 28: 第2コーナー接続パッド(接続パッド)



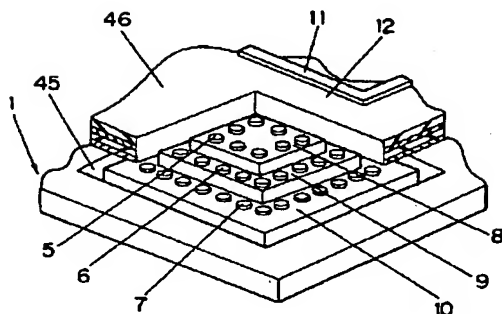
【図8】

- 1: 多層配線基盤  
 2: 半導体部品  
 2a: 電極形成面  
 3: 電極  
 28: 第2中央接続パッド(接続パッド)  
 27: 内側接続パッド(接続パッド)  
 28: 第2コーナー接続パッド(接続パッド)



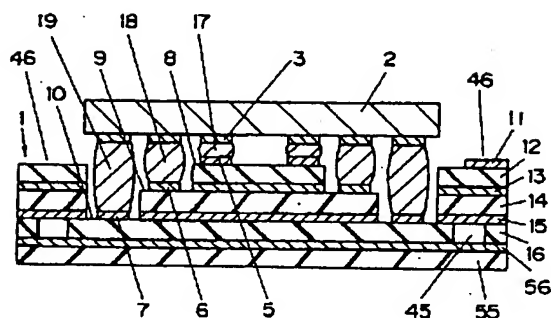
【図9】

- 1:多層配線基盤
- 5:内周接続パッド(接続パッド)
- 6:外周接続パッド(接続パッド)
- 7:最外周接続パッド(接続パッド)
- 8:第1台座(絶縁層)
- 9:第2台座(絶縁層)
- 10:第3台座(絶縁層)
- 45:区画溝



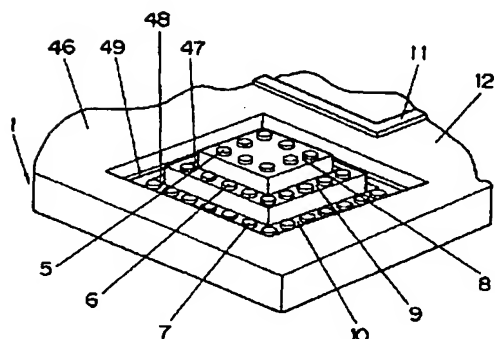
【図10】

- 1:多層配線基盤
- 2:半導体部品
- 3:電極
- 5:内周接続パッド(接続パッド)
- 6:外周接続パッド(接続パッド)
- 7:最外周接続パッド(接続パッド)
- 8:第1台座(絶縁層)
- 9:第2台座(絶縁層)
- 10:第3台座(絶縁層)
- 17:半田
- 18:半田
- 19:半田
- 45:区画溝



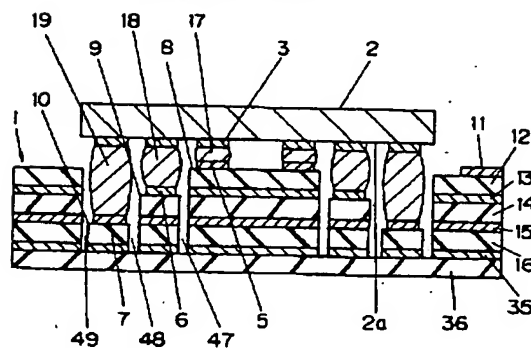
【図11】

- 1:多層配線基盤
- 5:内周接続パッド(接続パッド)
- 6:外周接続パッド(接続パッド)
- 7:最外周接続パッド(接続パッド)
- 8:第1台座(絶縁層)
- 9:第2台座(絶縁層)
- 10:第3台座(絶縁層)
- 47:第1分離溝(分離溝)
- 48:第2分離溝(分離溝)
- 49:第3分離溝(分離溝)

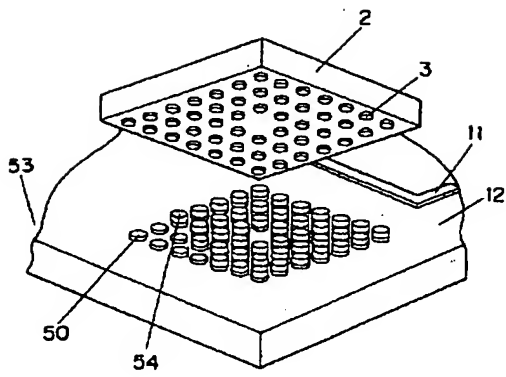


【図12】

- 1:多層配線基盤
- 2:半導体部品
- 2a:電極形成面
- 3:電極
- 5:内周接続パッド(接続パッド)
- 6:外周接続パッド(接続パッド)
- 7:最外周接続パッド(接続パッド)
- 8:第1台座(絶縁層)
- 9:第2台座(絶縁層)
- 10:第3台座(絶縁層)
- 17:半田
- 18:半田
- 19:半田
- 47:第1分離溝(分離溝)
- 48:第2分離溝(分離溝)
- 49:第3分離溝(分離溝)



【図 1 3】



【図 1 4】

